

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-332681  
(P2001-332681A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
25/07		25/08	Z
25/18			
21/60	3 1 1		

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2000-146851(P2000-146851)

(22) 出願日 平成12年 5 月18日 (2000. 5. 18)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号

(72) 発明者 岡田 晃

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

F ターム (参考) 5F044 EE20 EE21 JJ08 KK03 KK07  
KK10 KK16 LL09 RR03 RR08  
RR18

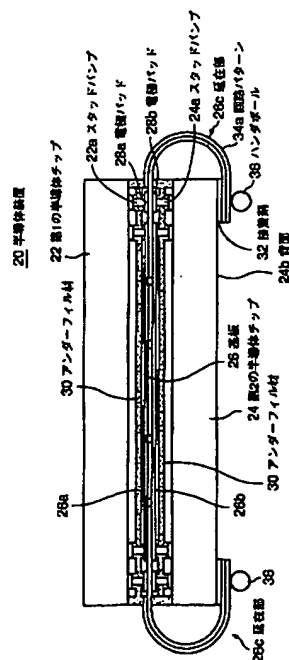
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、複数の半導チップをパッケージ中に積層して配置したマルチチップパッケージ (MCP) 型の半導体装置に関し、同じサイズの半導体チップを積層することを可能としながら、実装面積を減少した半導体装置を提供することを課題とする。

【解決手段】 第1の半導体チップ22を基板26の片面26aにフリップチップ実装する。基板26の反対面26bに第2の半導体チップ24をフリップチップ実装する。基板26は第2の半導体チップ24の側面より外側まで延出した延在部26cを有する。延在部26cを180度湾曲して第2の半導体チップ24の背面24bに固定し、ハンダボール36を形成する。

本発明の第1の実施の形態による半導体装置の断面図



## 1

## 【特許請求の範囲】

【請求項1】 第1の半導体素子と、該第1の半導体素子が実装された基板と、前記第1の半導体素子の反対側にフリップチップ実装された第2の半導体素子とを有する半導体装置であって、

前記基板は前記第2の半導体装置の側面より外側まで延出した延在部を有しており、該延在部を使用して外部接続用端子を設けたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記基板はフレキシブル基板であって、前記延在部を湾曲して前記第2の半導体素子の背面に固定し、固定した部分に前記外部接続用端子を形成したことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置であって、前記基板の前記延在部に外部接続用端子としてリードフレームを形成したことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置であって、前記第2の半導体装置の背面に端子用基板を設け、該端子用基板と前記基板の前記延在部とを電気的に接続し、前記端子用基板に前記外部接続用端子を形成したことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のうちいずれか一項記載の半導体装置であって、前記第1の半導体素子は、前記第2の半導体素子と同じ種類の半導体素子であり、前記第1の半導体素子を前記基板にフリップチップ実装したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置に係り、特に複数の半導体チップをパッケージ中に積層して配置したマルチチップパッケージ（MCP）型の半導体装置に関する。

【0002】 近年、半導体装置の実装面積を小さくするために、パッケージの小型化が求められている。特に、携帯型電子機器において小型化及び高機能化が著しく、その部品として使用される半導体装置にも、小型化及び高機能化が強く求められている。従来の半導体装置のパッケージにおいて、上述の要求を満たす手段として、マルチチップパッケージ（MCP）が知られている。

## 【0003】

【従来の技術】 図1は従来のマルチチップパッケージ（MCP）を示す簡略平面図である。従来のマルチチップパッケージ（MCP）では、複数の半導体チップを基板2上に平面的に並べて搭載した構成が一般的であるが、このような構成では半導体チップの数分の基板面積が必要となり、半導体装置としての実装面積も比較的大きなものになってしまう。

【0004】 そこで、小型化への要求に答えるべく、図2に示すように、複数の半導体チップを3次元的に積層

## 2

配置した構成のマルチチップパッケージ（MCP）が開発されている。このようなマルチチップパッケージ（MCP）は、スタックドMCPと称され、半導体チップを積層して配置することで基板2の面積を低減することができ、したがって半導体装置自体の実装面積も小さくなる。

【0005】 従来のスタックドMCPにおいては、単純に半導体チップを重ねた場合、各々の半導体チップの電極と基板2上の電極パッドとを金属ワイヤ（ボンディングワイヤ）4により接続する。したがって、金属ワイヤ4の接続部分を確保するためには、積層された上段の半導体チップ（チップ2）は下段の半導体チップ（チップ1）より小さくしなければならない。なお、図3は、図2における金属ワイヤ4の接続部分を示す側面図である。

【0006】 一方、同じサイズの半導体チップを積層してパッケージする要求がある。例えば、携帯型電子機器等で使用するメモリを例にとると、現在64メガバイトのフラッシュメモリと32メガバイトのフラッシュメモリが市場にあるが、64メガバイトのフラッシュメモリ1個を使用するより、32メガバイトのフラッシュメモリを2個使用したほうが、コストが安くつく。したがって、32メガバイトのフラッシュメモリを2個積層してパッケージすることにより、64メガバイトのフラッシュメモリと同じメモリ容量を確保したいという要求が生まれてくる。

## 【0007】

【発明が解決しようとする課題】 しかし、従来のスタックドMCPでは、上述のように同じサイズの半導体チップをそのまま積層することはできない。そこで、半導体チップ同士を90度回転して、図5に示すような構成とすることが考えられる。このような構成とすることにより、金属ワイヤ4の接続は確保できるが、半導体装置（スタックドMCP）としての実装面積は、半導体チップを平面的に並べた場合と比較して、それほど小さくできない。したがって、半導体装置の小型化への要求に対応することができない。

【0008】 一方、同じサイズの半導体チップをそのまま積層した構成の例として、下側の半導体チップを回路形成面が下側になるようにして基板に対してフリップチップ実装し、その上に回路形成面を上側にしてもう一つの半導体チップを積層し、上側の半導体チップをワイヤボンディングするという構成が考えられる。しかし、このような構成の場合、基板に吸湿性の高い有機系基板を使用すると、吸湿した水分が基板とアンダーフィル材との間に溜まり、ハンダリフロー時の熱により蒸発してアンダーフィル材が剥離するという問題（いわゆるポップコーン現象）が起こるおそれがある。

【0009】 このような問題を解決するために、蒸気を逃がすためのベントホールを基板に形成することが行われる。図6はフリップチップボンディング型の従来の半

## 3

導体装置の断面図である。図6において、半導体チップ6のスタッド電極6aを、有機系基板8上に形成された電極パッド8aに接合することにより、半導体チップ6を有機系基板8に搭載している。半導体チップ6と有機系基板8の間にはアンダーフィル材10が充填されており、半導体チップ6は確実に有機系基板8に固定されている。また、有機系基板8の電極パッド8aは、有機系基板8に形成された回路パターン（図示せず）を介して外部接続電極であるハンダボール10に電気的に接続されている。

【0010】したがって、上述のポップコーン現象を防止するために、有機系基板8に予め複数の貫通孔であるベントホール12が形成される。ベントホール12はパンチ又はドリル等により形成されるため、各ベントホール12の直径は0.1μmから0.3μm程度である。このようなベントホール12が形成された有機系基板8に半導体チップ6を接合し、アンダーフィル材10を有機系基板8と半導体チップ6との間に充填して半導体装置を形成する。したがって、アンダーフィル材を充填する際にベントホール12からアンダーフィル材が漏出すという問題がある。

【0011】また、ベントホール12を予め有機系基板8に形成しておくのではなく、図7に示すように、半導体チップ6を有機系基板8に接合した後に、レーザ装置14を使用して有機系基板8に貫通孔を形成してベントホール12とする方法もある。しかし、この場合は、ベントホール12の加工時にレーザパワーが強すぎたり、余分なレーザが照射されたりした場合、半導体チップ6の表面に損傷を与えるおそれがある。

【0012】特に、フリップチップ実装による半導体装置では、半導体チップ6の回路形成面が有機系基板8に面しており、レーザ加工による損傷を受ける面は回路形成面となる。したがって、ごく小さな損傷であっても、半導体チップの回路が直接影響を受け、半導体装置の動作不良を招く結果となる。

【0013】本発明は上記の点に鑑みてなされたものであり、同じサイズの半導体チップを積層することを可能としながら、実装面積を減少した半導体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の課題は、次に述べる各手段を講じることにより解決することができる。請求項1記載の発明は、第1の半導体素子と、該第1の半導体素子が実装された基板と、前記第1の半導体素子の反対側にフリップチップ実装された第2の半導体素子とを有する半導体装置であって、前記基板は前記第2の半導体装置の側面より外側まで延出した延在部を有しており、該延在部を使用して外部接続用端子を設けたことを特徴とするものである。請求項2記載の発明は、請求項1記載の半導体装置であって、前記基板はフレキシブ

## 4

ル基板であって、前記延在部を湾曲して前記第2の半導体素子の背面に固定し、固定した部分に前記外部接続用端子を形成したことを特徴とするものである。

【0015】請求項3記載の発明は、請求項1記載の半導体装置であって、前記基板の前記延在部に外部接続用端子としてリードフレームを形成したことを特徴とするものである。

【0016】請求項4記載の発明は、請求項1記載の半導体装置であって、前記第2の半導体装置の背面に端子用基板を設け、該端子用基板と前記基板の前記延在部とを電気的に接続し、前記端子用基板に前記外部接続用端子を形成したことを特徴とするものである。

【0017】請求項5記載の発明は、請求項1乃至4のうちいずれか一項記載の半導体装置であって、前記第1の半導体素子は、前記第2の半導体素子と同じ種類の半導体素子であり、前記第1の半導体素子を前記基板にフリップチップ実装したことを特徴とするものである。

【0018】上述の各手段は次のように作用する。

【0019】請求項1記載の発明によれば、第1の半導体素子と第2の半導体素子とは基板を介して積層される。したがって、半導体チップを積層した状態で上側と下側の半導体チップの両方を基板に接続することができ、半導体装置の実装面積は平面的に並べた場合に比較して略半分まで縮小することができる。

【0020】また、基板はその両面に半導体素子が実装されるため、基板が雰囲気から露出する部分は延在部のみである。したがって、基板が雰囲気から吸収する水分の量は極めて少なく、半導体装置の保管時に、基板とアンダーフィル材との間の界面に水分が溜まるようなことはない。したがって、溜まった水分の蒸発により生じる水蒸気を逃がすための手段（スルーホール等）を基板に設けなくても、半導体装置をハンダリフローにより実装基板に実装する際の熱によりポップコーン現象が生じる可能性を低減することができる。

【0021】また、請求項2記載の発明によれば、延在部を湾曲して前記第2の半導体素子の背面に固定し、固定した部分に前記外部接続用端子を形成するため、第2の半導体素子の背面に外部接続用端子を形成することができる。外部接続用端子をボール電極とすれば、従来のボールグリッドアレイ（BGA）型半導体装置と同様な構成とすることができる。

【0022】請求項3記載の発明によれば、基板の延在部に外部接続用端子としてリードフレームを形成したので、基板の延在部を湾曲する必要がなく、基板の延在部の湾曲に起因する回路パターンの断線等の発生を防止することができる。

【0023】請求項4記載の発明によれば、第2の半導体装置の背面に端子用基板を設け、端子用基板と基板の延在部とを電気的に接続し、端子用基板に外部接続用端子を形成したので、第2の半導体素子の背面に外部接続

## 5

用端子を形成することができる。外部接続用端子をボール電極とすれば、従来のボールグリッドアレイ（BGA）型半導体装置と同様な構成とすることができる。

【0024】請求項5記載の発明によれば、第1の半導体素子と第2の半導体素子とを同じ種類の半導体素子とし、第1の半導体素子を基板にフリップチップ実装したので、第1の半導体素子と第2の半導体素子とは同一の基板の両側にフリップチップ実装される。したがって、同じサイズの第1の半導体素子と第2の半導体素子を積層した状態で基板に接続することができ、半導体装置の実装面積を第1又は第2の半導体素子のチップサイズに略等しくすることができる。

【0025】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0026】まず、本発明の第1の実施の形態による半導体装置について、図8を参照しながら説明する。図8は本発明の第1の実施の形態による半導体装置20の断面図である。

【0027】本発明の第1の実施の形態による半導体装置20は、第1の半導体チップ22と第2の半導体チップ24とを有する。本実施の形態において、第1の半導体チップ22と第2の半導体チップ24は同じ種類の半導体チップであり、そのサイズ及び電極構成等は同一である。第1の半導体チップ22と第2の半導体チップ24との間にはポリイミド基板のような柔軟性を有する基板26が設けられている。

【0028】第1の半導体チップ22は、基板26の一方の面26aにフリップチップ実装されている。すなわち、第1の半導体チップ22のスタッドバンプ22aは、基板26の面26aに形成された電極パッド28aに接続されている。

【0029】第2の半導体チップ24は、基板26の面26aの反対側の面26bにフリップチップ実装されている。すなわち、第2の半導体チップ24のスタッドバンプ24aは、基板26の面26bに形成された電極パッド28bに接続されている。

【0030】第2の半導体チップ24が接続される電極パッド28bは、基板26に形成されたビアホール等を介して対応する電極パッド28aに電氣的に接続されている。このように、基板の片方の面に形成された電極や回路パターンを基板の反対側の面に形成された電極や回路パターンに電氣的に接続する必要がある場合は、ビアホールを用いればよい。また、必ずしも向かい合った電極同士（スタッドバンプ同士）を電氣的に接続する必要はなく、基板にパターン回路を形成し、パターン回路の所定の部位において両面の電氣的導通をとればよい。

【0031】第1の半導体チップ22と基板26との間には、アンダーフィル材30が充填されており、第1の半導体チップ22を基板26に確実に固定するととも

## 6

に、スタッドバンプ22aや電極パッド28aを保護している。同様に、第2の半導体チップ24と基板26との間に、アンダーフィル材30が充填されており、第2の半導体チップ24を基板26に確実に固定するとともに、スタッドバンプ22bや電極パッド28bを保護している。

【0032】本実施の形態では、半導体装置22、24にスタッドバンプ22a、22bが用いられているため、アンダーフィル材30を、異方性導電樹脂により構成することが好ましい。

【0033】図8において、基板26は第2の半導体チップ24の左右側面から外側に向かって延出した延在部26cを有している。すなわち、基板26は第1の半導体チップ22と第2の半導体チップ24との間に延在し、且つ第1の半導体チップ22と第2の半導体チップ24との間に充填されたアンダーフィル材30から延出した延在部26cを有している。

【0034】延在部26cは、第2の半導体チップ24側へ180度湾曲され、第2の半導体チップ24の背面24bに接着剤32により固定されている。基板26の面26aには電極パッド28aと共に回路パターン34aが形成されており、回路パターン34aは延在部26cにも延在している。

【0035】延在部26cは第2の半導体チップ側へと180度湾曲しているため、延在部26cの先端部分は、その上に形成された回路パターン34aが外側に向けた状態で第2の半導体チップ24の背面24bに固定される。そして、回路パターン34aの先端部分には、外部接続用の突起電極としてハンダボール36が形成されている。

【0036】上述の構成において、第1の半導体チップ22及び第2の半導体チップ24は、基板26の面26aに形成された回路パターン34aによりハンダボール36に電氣的に接続されており、半導体装置20はマルチチップパッケージ（MCP）型の半導体装置として機能することができる。

【0037】半導体装置20は、第1の半導体チップ22と第2の半導体チップ24とが同じ種類のチップであり、同じサイズであるので、半導体装置20の実装面積は、第2の半導体チップ24の平面投影面積より僅かに大きいだけとなっている。すなわち、第2の半導体チップ24の平面投影面積に基板26の延在部26cの平面投影面積を加えたものが半導体装置20の実装面積となる。

【0038】したがって、同じサイズの半導体チップを積層した状態で上側と下側の半導体チップの両方を基板に接続することができ、実装面積を平面的に並べた場合に比較して略半分の実装面積とすることができ、電子機器の小型化に貢献することができる。

【0039】また、本実施の形態の構成において、基板

## 7

26はその両面26a、26bがアンダーフィル材30により覆われている。したがって、基板26が雰囲気から露出する部分は延在部26cのみである。したがって、基板26が雰囲気から吸収する水分の量は極めて少なく、半導体装置20の保管時に、基板26とアンダーフィル材30との間の界面に水分が溜まるようなことはない。したがって、溜まった水分の蒸発により生じる水蒸気を逃がすための手段（スルーホール）を基板26に設けなくても、半導体装置20をハンダリフローにより実装基板に実装する際の熱によりポップコーン現象が生じる可能性を非常に低減することができる。

【0040】次に、本発明の第2の実施の形態による半導体装置について、図9を参照しながら説明する。図9は本発明の第2の実施の形態による半導体装置40の断面図である。なお、図9において、図8に示した構成部品と同等な部品には同じ符号を付し、その説明は省略する。

【0041】本発明の第2の実施の形態による半導体装置40は、本発明の第1の実施の形態による半導体装置20における基板26の延在部26cを湾曲してハンダボール36を延在部に形成する代わりに、延在部26cに直接リードフレーム42を接合したものである。すなわち、本実施の形態では、外部接続用電極として、リードフレーム42を用いたものである。

【0042】図9に示した例では、リードフレーム42を接合するのに好適なように、回路パターン34aを基板26の面26bが側に形成している。すなわち、回路パターン34aが下側となるように配置し、リードフレーム42を延在部26cの回路パターンに接合することにより、半導体装置40をリードフレーム42で支持する構成としている。半導体装置のパッケージとしては、ガルウィング型に似た形状となる。

【0043】なお、上述の第1の実施の形態による半導体装置20では、基板26は柔軟性を有する基板であったが、本実施の形態では柔軟性を有する必要はなく、むしろ柔軟性のない基板のほうが好ましい。

【0044】本実施の形態による半導体装置40は、上述の第1の実施の形態による半導体装置20と同様の効果を奏することができる。また、基板26の延在部26cを湾曲させる必要がないので、延在部26cを湾曲させる際に生じるおそれのある回路パターン34aの断線を防止することができる。

【0045】次に、本発明の第3の実施の形態について、図10を参照しながら説明する。図10は本発明の第3の実施の形態による半導体装置50の断面図である。なお、図10において、図8に示した構成部品と同等の部品には同じ符号を付し、その説明は省略する。

【0046】本発明の第3の実施の形態による半導体装置50は、上述の第1の実施の形態による半導体装置20と基本的に同じ構成を有しており、基板26の延在部

## 8

26cの構成と、外部接続用電極の構成が異なる。

【0047】すなわち、本実施の形態では、第2の半導体チップ24の背面24bに独立して電極用基板52を接着剤32で固定し、電極用基板52の回路パターン52aに外部接続用電極としてのハンダボール36を形成したものである。そして、基板52の回路パターン52aと基板26の延在部26c上の回路パターン34aとをボンディングワイヤ56により接続したものである。ボンディングワイヤ56及び回路パターン34a、52aは封止樹脂58により封止され、保護されている。

【0048】本実施の形態による半導体装置50は、上述の第1の実施の形態による半導体装置20と同様の効果を奏することができる。また、基板26の延在部26cを湾曲させる必要がないので、延在部26cを湾曲させる際に生じるおそれのある回路パターン34aの断線を防止することができる。

【0049】次に、本発明の第4の実施の形態について、図11を参照しながら説明する。図11は本発明の第4の実施の形態による半導体装置60の断面図である。なお、図11において、図10に示した構成部品と同等の部品には同じ符号を付し、その説明は省略する。

【0050】本発明の第4の実施の形態による半導体装置60は、上述の第3の実施の形態による半導体装置50と基本的に同じ構成を有しており、基板26の延在部26cと外部接続用端子であるハンダボール36を形成するための電極用基板52とを接続するための構成が異なる。

【0051】すなわち、本実施の形態では、第2の半導体チップ24の背面24bに電極用基板52を接着剤32で固定し、電極用基板52の回路パターン52aに外部接続用電極としてのハンダボール36を形成したものである。そして、基板52の回路パターン52aと基板26の延在部26c上の回路パターン34aとを、第2の半導体チップ24の側面上に形成された導電樹脂層62により接続したものである。

【0052】本実施の形態による半導体装置60は、上述の第1の実施の形態による半導体装置20と同様の効果を奏することができる。また、基板26の延在部26cを湾曲させる必要がないので、延在部26cを湾曲させる際に生じるおそれのある回路パターン34aの断線を防止することができる。さらに、導電樹脂層62は第2の半導体チップ24の側面に沿って形成されるため、延在部26cの延出長さは非常に小さくてよく、半導体装置60の実装面積を第2の半導体チップの平面投影面積に略等しくでき、実装面積をさらに小さくすることができる。

【0053】次に、本発明の第5の実施の形態について、図12を参照しながら説明する。図12は本発明の第5の実施の形態による半導体装置70の断面図である。なお、図12において、図8に示した構成部品と

等の部品には同じ符号を付し、その説明は省略する。

【0054】本実施の形態による半導体装置70は、異なる種類の半導体チップを積層した構成である。すなわち、上述の第1の実施の形態による半導体装置20における第1の半導体チップ22を、第2の半導体チップ24よりサイズの小さい異なる種類の半導体チップとしたものである。

【0055】本発明の第5の実施の形態による半導体装置70は、第2の半導体チップ24に関して上述の第1の実施の形態による半導体装置20と基本的に同じ構成を有しており、第1の半導体チップ22が、半導体チップ72に置き換えられたものである。第2の半導体チップ72はその回路形成面が上になるように、すなわち、背面が基板26に面するように基板上に設けられ、接着剤74により基板に固定されている。したがって、第1の半導体チップ72の電極72aは、基板26の電極パッド28aにボンディングワイヤ76により接続されている。

【0056】第1の半導体チップ72と、ボンディングワイヤ76は、封止樹脂78により封止され保護されている。したがって、基板26は、延在部26cを除いて、下側からはアンダーフィル材30、上側からは接着剤74及び封止樹脂により覆われており、基板26が雰囲気から水分を防止することが防止されている。

【0057】上述のように、本実施の形態によれば、異なるサイズの半導体チップを積層して設けることができ、且つ実装面積を大きい方の半導体チップより僅かに大きいものとすることができる。また、水蒸気を逃がすための手段（スルーホール）を基板26に設けなくても、半導体装置70をハンダリフローにより実装基板に実装する際の熱によりポップコーン現象が生じる可能性を非常に低減することができる。

【0058】次に、上述の実施の形態による半導体装置の応用例について説明する。

【0059】図13は、上述の第1の実施の形態による半導体装置20を応用した半導体装置の断面図である。図13において、図8に示した構成部品と同等な部品には同じ符号を付し、その説明は省略する。

【0060】図13に示した半導体装置80は、上述の第1の実施の形態による半導体装置20を第3の半導体チップ82の上に積層して設けたものである。第3の半導体チップ82は、その背面を下にして基板84に接着剤85により固定され、ボンディングワイヤ86により基板84の電極パッド84aに接続されている。第3の半導体チップ82としては、第1及び第2の半導体チップ22、24より大きいサイズのチップが選定される。

【0061】第1の実施の形態による半導体装置20は、第1の半導体チップ22を下にして、すなわち、第1の半導体チップ22が第3の半導体チップ82に面するように第3の半導体チップ82に対して接着剤87に

より固定される。なお、この場合、半導体装置20にはハンダボールは設けられておらず、ハンダボールが形成されるべき電極は、ボンディングワイヤ88により基板84の電極パッド84aに接続される。第1、第2及び第3の半導体チップ22、24、82は基板84上で封止樹脂89により封止されている。

【0062】上述の構成によれば、例えば、第1及び第2の半導体チップ22、24として同じスタティックRAMを2個使用し、その下に第3の半導体チップ82としてフラッシュメモリを設けるような構成とすることができ、半導体装置80を高度に集積されたメモリ装置として機能させることができる。

【0063】図14は、上述の第2の実施の形態による半導体装置40を応用した半導体装置の断面図である。図14において、図9に示した構成部品と同等な部品には同じ符号を付し、その説明は省略する。

【0064】図14に示した半導体装置90は、上述の第2の実施の形態による半導体装置20の上に第3の半導体チップ92を積層して設けたものである。すなわち、第3の半導体チップ92としては、第1及び第2の半導体チップ22、24より小さいサイズのものが選定される。第3の半導体チップ92の背面は、第1の半導体チップ22の背面に接着剤94により固定されている。

【0065】第3の半導体チップ92の電極はボンディングワイヤ96により半導体装置40のリードフレーム42に接続されている。第1、第2及び第3の半導体チップ22、24、92及びボンディングワイヤは封止樹脂98により封止され保護されている。

【0066】上述の構成によれば、例えば、第1及び第2の半導体チップ22、24として同じフラッシュメモリを2個使用し、その上に第3の半導体チップ92としてスタティックRAMを設けるような構成とすることができ、半導体装置90を高度に集積されたメモリ装置として機能させることができる。

【0067】

【発明の効果】上述のように、請求項1記載の発明によれば、第1の半導体素子と第2の半導体素子とは基板を介して積層される。したがって、半導体チップを積層した状態で上側と下側の半導体チップの両方を基板に接続することができ、半導体装置の実装面積は平面的に並べた場合に比較して略半分まで縮小することができる。

【0068】また、基板はその両面に半導体素子が実装されるため、基板が雰囲気から露出する部分は延在部のみである。したがって、基板が雰囲気から吸収する水分の量は極めて少なく、半導体装置の保管時に、基板とアンダーフィル材との間の界面に水分が溜まるようなことはない。したがって、溜まった水分の蒸発により生じる水蒸気を逃がすための手段（スルーホール等）を基板に設けなくても、半導体装置をハンダリフローにより実装基

板に実装する際の熱によりポップコーン現象が生じる可能性を低減することができる。

【0069】また、請求項2記載の発明によれば、延在部を湾曲して前記第2の半導体素子の背面に固定し、固定した部分に前記外部接続用端子を形成するため、第2の半導体素子の背面に外部接続用端子を形成することができる。外部接続用端子をボール電極とすれば、従来のボールグリッドアレイ（BGA）型半導体装置と同様な構成とすることができる。

【0070】また、請求項3記載の発明によれば、基板の延在部に外部接続用端子としてリードフレームを形成したので、基板の延在部を湾曲する必要がなく、基板の延在部の湾曲に起因する回路パターンの断線等の発生を防止することができる。

【0071】また、請求項4記載の発明によれば、第2の半導体装置の背面に端子用基板を設け、端子用基板と基板の延在部とを電氣的に接続し、端子用基板に外部接続用端子を形成したので、第2の半導体素子の背面に外部接続用端子を形成することができる。外部接続用端子をボール電極とすれば、従来のボールグリッドアレイ（BGA）型半導体装置と同様な構成とすることができる。

#### 【図面の簡単な説明】

【図1】半導体チップを平面的に並べた構成の従来のマルチチップパッケージを示す簡略平面図である。

【図2】半導体チップを積層した構成の従来のマルチチップパッケージを示す簡略平面図である。

【図3】図2における金属ワイヤの接続部分を示す側面図である。

【図4】同じサイズの半導体チップを積層した場合の問題点を説明するための簡略側面図である。

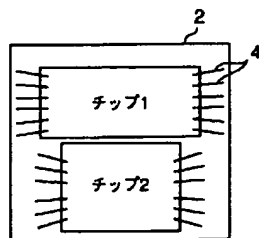
【図5】同じサイズの半導体チップを互いに90度回転した状態で積層した構成を説明するための簡略平面図である。

【図6】フリップチップ実装型の従来の半導体装置の断面図である。

【図7】ベントホールをレーザ加工する例を説明するためのフリップチップ実装型の従来の半導体装置の断面図

【図1】

半導体チップを平面的に並べた構成の従来のマルチチップパッケージを示す簡略平面図



である。

【図8】本発明の第1の実施の形態による半導体装置の断面図である。

【図9】本発明の第2の実施の形態による半導体装置の断面図である。

【図10】本発明の第3の実施の形態による半導体装置の断面図である。

【図11】本発明の第4の実施の形態による半導体装置の断面図である。

10 【図12】本発明の第5の実施の形態による半導体装置の断面図である。

【図13】本発明の第1の実施の形態による半導体装置を応用した半導体装置の断面図である。

【図14】本発明の第2の実施の形態による半導体装置を応用した半導体装置の断面図である。

#### 【符号の説明】

20, 40, 50, 60, 70, 80, 90 半導体装置

22, 72 第1の半導体チップ

20 22a, 24a スタッドバンプ

24b 背面

24 第2の半導体チップ

26, 84 基板

26a, 26b 面

26c 延在部

28a, 28b, 84a 電極パッド

30 アンダーフィル材

32, 74, 85, 87, 94 接着剤

34a, 52a 回路パターン

30 36 ハンダボール

42 リードフレーム

52 電極用基板

56, 76, 86, 88, 96 ボンディングワイヤ

58, 78, 89, 98 封止樹脂

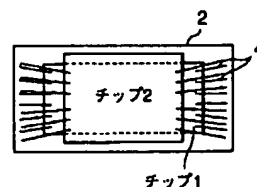
62 導電樹脂層

72a 電極

82, 92 第3の半導体チップ

【図2】

半導体チップを積層した構成の従来のマルチチップパッケージを示す簡略平面図

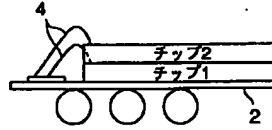
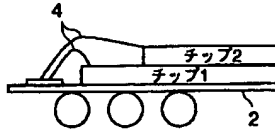


【図 3】

【図4】

図2における金属ワイヤの接続部分を示す側面図

同じサイズの半導体チップを積層した場合の問題点を説明するための簡略側面図

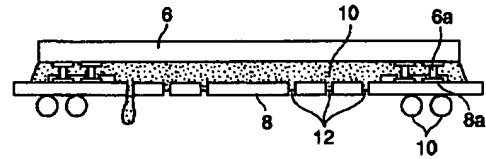
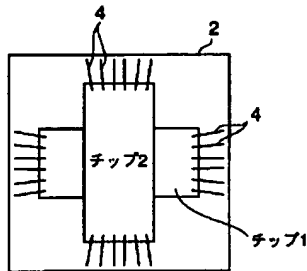


【图 5】

【図 6】

同じサイズの半導体チップを互いに90度回転した状態で積層した構成を説明するための簡略平面図

フリップチップ実装型の従来の半導体装置の断面図

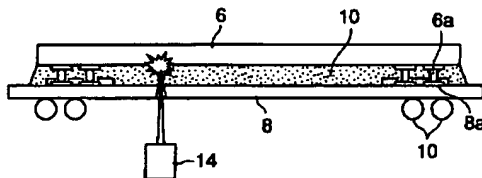


【図 8】

本発明の第1の実施の形態による半導体装置の断面図

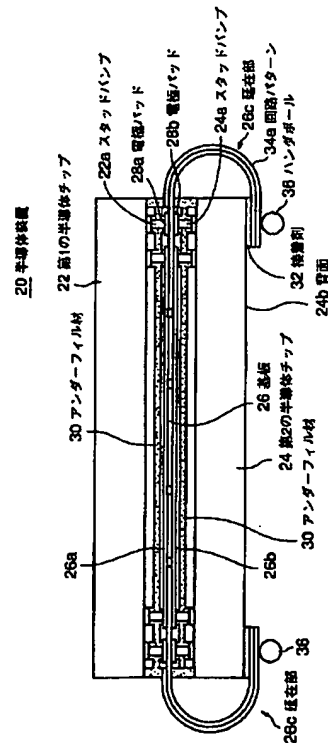
【图7】

ベントホールをレーザ加工する例を説明するためのフリップチップ実装型の従来の半導体装置の断面図

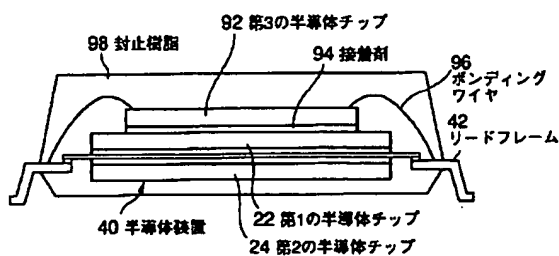


【図 14】

本発明の第2の実施の形態による半導体装置を応用した半導体装置の断面図



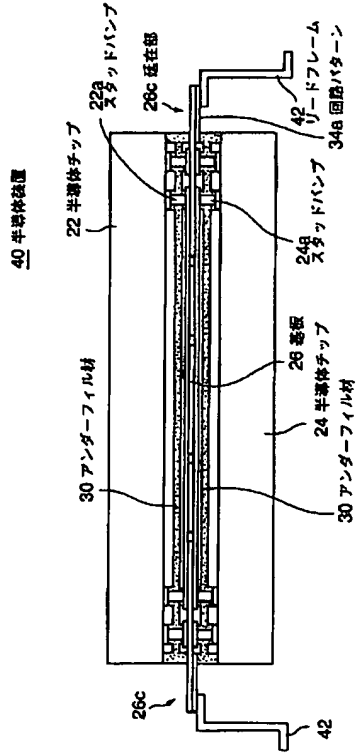
## 90 半導體裝置





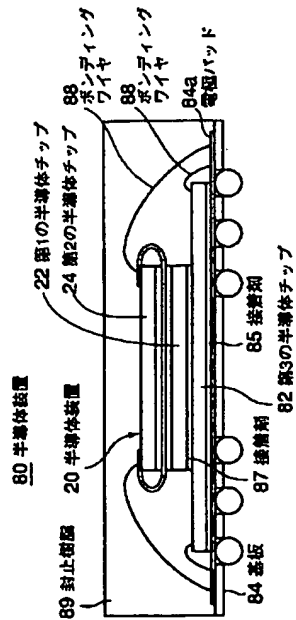
【图 9】

本発明の第2の実施の形態による半導体装置の断面図



【图 13】

本発明の第1の実施の形態による半導体装置を応用した半導体装置の断面図



【図 10】

本発明の第3の実施の形態による半導体装置の断面図

